

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-096952

(43)Date of publication of application : 08.04.1994

(51)Int.Cl. H01F 17/00
H01F 15/14
H01F 41/04
H01F 41/12

(21)Application number : 04-245355

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 16.09.1992

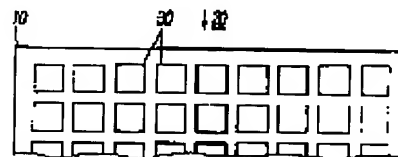
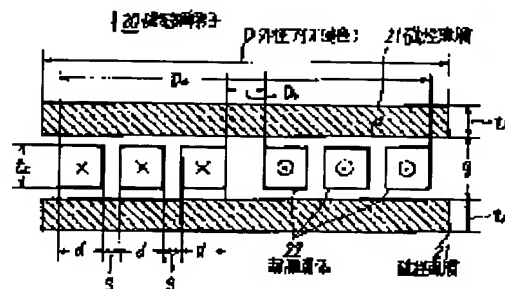
(72)Inventor : MATSUZAKI KAZUO
RIYOKAI YUICHI

(54) THIN FILM -LAMINATED MAGNETIC INDUCTION ELEMENT AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To simplify the structure of an inductor, transformer, etc., mounted on a semiconductor chip and having a thin film-laminated structure and, at the same time, to obtain a high Q-value in a high-frequency region.

CONSTITUTION: This element 20 is constituted in such a way that a simple thin film-laminated structure is constructed by interposing a thin film conductor 22 formed in a coil between paired magnetic thin films 21 and the structure is divided into a plurality of unit elements 30 so that the external size D of each element 30 can be smaller than a characteristic length on a magnetic circuit determined depending on the permeability μ and film thickness tM of the thin films 21. Then one magnetic inductance element 20 is formed by electrically connecting the numerous unit elements 30 formed on a semiconductor chip 10 to each other.



LEGAL STATUS

[Date of request for examination] 16.04.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3146672

[Date of registration] 12.01.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51)Int.Cl.⁵H 0 1 F 17/00
15/14
41/04
41/12

識別記号

庁内整理番号

F I

技術表示箇所

B 7129-5E
7129-5E
C 8019-5E
Z

審査請求 未請求 請求項の数5(全 7 頁)

(21)出願番号 特願平4-245355

(22)出願日 平成4年(1992)9月16日

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72)発明者 松崎 一夫

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(72)発明者 了戒 洋一

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

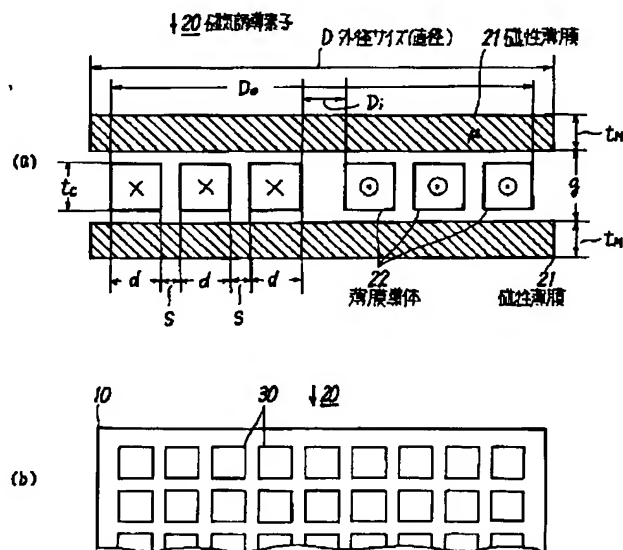
(74)代理人 弁理士 山口 巖

(54)【発明の名称】 薄膜積層形磁気誘導素子およびその製造方法

(57)【要約】

【目的】半導体チップ上に搭載する薄膜積層構造のインダクタや変圧器等の磁気誘導素子の構造を簡単化しかつ高周波領域内で高いQ値を達成する。

【構成】磁気誘導素子20を1対の磁性薄膜21の相互間にコイルに形成された薄膜導体22を挟み込んだ簡単な薄膜積層構造とし、これを複数個の単位素子30に分割して各単位素子30の外形サイズDを磁性薄膜21の透磁率 μ および膜厚 t_M とそれらの相互間隔 g とから決まる磁気回路上の特性長より小さいめに形成して、半導体チップ10上に作り込んだ多数の単位素子30を電氣的に相互接続して1個の磁気誘導素子20とする。



【特許請求の範囲】

【請求項1】所定の形状のコイルに形成された薄膜導体を1対の磁性薄膜の相互間に挟み込んだ構造の薄膜積層形の磁気誘導素子であって、磁気誘導素子を複数の単位素子に分割し、各単位素子の平面的な外形サイズを磁性薄膜の導磁率および厚みと両磁性薄膜の間隔から決まる磁気回路上の特性長より小さいめに設定し、これら単位素子を電氣的に相互接続して1個の磁気誘導素子を構成するようにしたことを特徴とする薄膜積層形磁気誘導素子。

【請求項2】請求項1に記載の素子において、単位素子の外形サイズが磁気回路の特性長の10分の1程度ないしそれ以下に設定されたことを特徴とする薄膜積層形磁気誘導素子。

【請求項3】請求項1に記載の素子において、薄膜導体が渦巻き状コイルに形成されることを特徴とする薄膜積層形磁気誘導素子。

【請求項4】所定の形状のコイルに形成された薄膜導体を1対の磁性薄膜の相互間に挟み込んだ構造の磁気誘導素子の製造方法であって、下層側磁性薄膜を下層側絶縁膜で被覆し、下層側絶縁膜上にターン間絶縁膜を付けかつ薄膜導体のコイルのターン間に対応するパターンにエッチングし、下層側絶縁膜とターン間絶縁膜の上に薄膜導体をターン間絶縁膜と同程度ないしはそれ以下の膜厚で成膜した上でエッチングによりそのターン間絶縁膜上の部分を選択的に除去し、薄膜導体とターン間絶縁膜を上層側絶縁膜で被覆してその上に上層側磁性薄膜を配設するようにしたことを特徴とする薄膜積層形磁気誘導素子の製造方法。

【請求項5】請求項4に記載の方法において、ターン間絶縁膜に・・・下層側絶縁膜と異なる材質のものをを用い、リアクティブイオンエッチング法によりエッチングするようにしたことを特徴とする薄膜積層形磁気誘導素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はスイッチング電源のワンチップ化等のため半導体製造技術を利用して集積回路装置のチップに搭載するに適する薄膜積層形磁気誘導素子に関する。

【0002】

【従来の技術】チョッパ装置やスイッチング電源等の小形の電子装置は従来からインダクタや変圧器等の受動素子と個別半導体素子や集積回路等の能動素子とを組み合わせ構成されて来たが、能動素子側の半導体技術の急速な進歩に比べて受動素子側の技術進歩は立ち遅れぎみであり、とくにインダクタや変圧器等の磁気誘導素子は集積回路装置と比べると体格が非常に大きいため電子装置の小形化を図る上で最大の隘路になっている。このため、電子装置のチョッピングやスイッチングの動作周

波数を1MHz以上に高めて小形化をいわば側面から容易にするとともに、磁気誘導素子自体の構造面でも種々の試みがなされている。

【0003】例えば、特開昭61-219114号公報に開示された技術では磁性繊維を縦糸に極細銅線を横糸にして編んだ織物構造でインダクタが構成される。特開平1-151211号公報の技術では磁気誘導素子がセラミックの積層構造体から構成される。また、特開平2-275606号公報には可撓性フィルムにコイルを担持させてそれを両側から磁性シートで挟み込んだ構造の平面形のインダクタが開示されている。さらに、特開平1-276708号公報には上述の特開昭61-219114号公報による織物構造のインダクタを薄膜積層体で構成することが提案されている。

【0004】

【発明が解決しようとする課題】これらの従来技術からわかるように、磁気誘導素子の小形化には個別素子にそれに適した構造にする方向と、能動素子用の半導体チップ上に直接搭載ないし作り付ける方向とがあるが、電子装置の全体構造を小形化しかつ面実装等の組み立ての手間を極力省いて合理化できる点では後者の方向が明らかに有利であり、前述の特開昭61-219114号公報および特開平1-151211号公報の技術は個別素子を小形化する方向なのであまり有利でない。特開平2-275606号公報の技術は本質は個別素子であるがチップへの搭載に適すると考えられる。しかし、数～10mm角の小形チップに搭載できる程度までの小形化は実際には必ずしも容易でなく、かつ個別素子である以上はチップと接続するための実装作業が不可欠になる。特開平1-276708号公報の技術はこの点も解決し得るが、元来が織物構造なのでコイル用薄膜導体と磁気回路用磁性薄膜を入り組ませる必要があり、実際にかかる構造の薄膜積層体を製造するのはかなり厄介である。

【0005】かかる問題に加えて、高周波領域内で磁気誘導素子に高いQ値を持たせるのが困難な問題がある。すなわち、従来から磁気誘導素子を小形化するにはまず電子装置の動作周波数を上げて小さなインダクタンス値でも所定のリアクタンス値が得られるようにしているが、1MHz以上の周波数領域では磁気回路やコイル内の高周波損失のために磁気誘導素子のインダクタンス値が飽和し抵抗値が増加するので、動作周波数を上げるとQ値が飽和ないしは逆に減少して来る。このため、動作周波数を上げてQ値を所定レベルに維持するために磁気誘導素子の体格を小さくできなくなって来る。このような現状に立脚して、本発明は集積回路等の半導体装置のチップ上に直接かつ容易に作り込むに適した薄膜積層構造をもち、かつ高周波領域内でもQ値を高く維持することができる磁気誘導素子を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明の磁気誘導素子によれば、所定の形状のコイルに形成された薄膜導体を1

対の磁性薄膜の相互間に挟み込んだ薄膜積層構造の磁気誘導素子を複数の単位素子に分割し、各単位素子の平面的外形サイズを磁性薄膜の導磁率および厚みと両磁性薄膜の間隔とによって決まる磁気回路上の特性長より小さいめに設定し、これらの単位素子を電氣的に相互接続して1個の磁気誘導素子を構成することによって上述の目的が達成される。

【0007】上記構成にいう薄膜導体には銅やアルミ等の導電率が高い金属を用いてそれを数〜数十 μm の厚みに成膜して、エッチングにより所定形状のコイルに形成するのがよく、この際のコイル形状としては渦巻き状やつづら折れ状がよく、とくに前者の形状が本発明では有利である。磁性薄膜には軟磁性で高透磁率の強磁性体材料を用いてこれを10〜数十 μm の膜厚に望ましくはスパッタ法等により非晶質状態で成膜するのがよい。なお、この磁性薄膜の透磁率を μ 、1対の磁性薄膜の間隔を g 、磁性薄膜の膜厚を t_M とすると、上記構成中の磁気回路の特性長 λ は例えば $\lambda = (\mu g t_M / 2)^{1/2}$ で与えられる。1MHz以上の高周波領域における磁気誘導素子のQ値を極力高めるにはそれを構成する各単位素子の外形サイズ、例えば直径をこの特性長 λ よりも小さいめに設定し、さらにはその10分の1程度ないしはそれ以下に設定するのがとくに望ましい。

【0008】また、上述のように薄膜導体と上下1対の磁性薄膜とを備える薄膜積層構造の磁気誘導素子の製造する方法としては、下層側磁性薄膜を下層側絶縁膜で覆い、下層側絶縁膜の上にターン間絶縁膜を付けて薄膜導体のコイルのターン間隙間に対応するパターンにエッチングし、下層側絶縁膜とターン間絶縁膜の上側に薄膜導

$$R = (\pi \rho / t_C) \cdot F_R$$

となる。ただし、 F_R はコイルの寸法と形状と巻数の関数であり、 $p = d + s$ とすると、 $F_R = n(D_0 + s - np) / d$ 、または $F_R = n(D_i - s + np) / d$ であり、さらにコイルの平均直径を D_m とすると $F_R = n D_m / d$ である。

$$\lambda = (\mu g t_M / 2)^{1/2}$$

で与えられ、図1(a)の磁気誘導素子20のインダクタンス

$$L = (\pi \mu t_M / 2) \cdot K \cdot F_L$$

で表せる。ただし、 K は特性長 λ と外径サイズ D とコイ

$$K = (\lambda / d) / \sin(D / \lambda)$$

で与えられる。また、 F_L は(1)式の F_R に対応する関数であり、磁気回路側の特性長 λ 、コイル側の寸法と巻数等に関する双曲線関数を含むかなり複雑な式(例えばIEEE, Magn., MAG-27, No. 6, pp. 709, 1991を参照)となるが、煩雑を避けるためここでは簡単に F_R で表すこととする。

【0012】さて、上述の(3)式の $(\pi \mu t_M / 2)$ の項を除いてインダクタンス L の値に対し最も支配的なのは係数 K であり、本発明ではこの点に着目して係数 K を大にするよう外径サイズ D を設定する。すなわち外径サ

$$Q = \omega L / R = \pi f (\mu t_M) (t_C / \rho)$$

体をターン間絶縁膜と同程度ないしそれ以下の膜厚で成膜した上でエッチングによりそのターン間絶縁膜上の部分を選択的に除去し、かつ薄膜導体とターン間絶縁膜を上層側絶縁膜で被覆した後にその上側に上層側磁性薄膜を配設するのが有利である。なお、上記ターン間絶縁には下層側絶縁膜とは異なる材質のものをを用いてエッチング上の選択性をもたせるのがよく、さらにはそのエッチングにはリアクティブイオンエッチング法を利用するのが有利である。

【0009】

【作用】本発明の磁気誘導素子では半導体チップの上に半導体プロセス技術を利用して容易に作り込めるようコイル用の薄膜導体を磁気回路用の1対の磁性薄膜で両側から挟み込んだ単純な薄膜積層構造とするとともに、この構造ではその平面的な外形サイズを従来の常識より思い切って縮小することによって高周波領域内でのQ値を高め得ることに着目して、磁気誘導素子を複数個の小形でそれぞれQ値が高い単位素子に分割して作り込んだ上で、それらを電氣的に相互接続して1個の磁気誘導素子とすることにより高周波領域でも高いQ値が得られるようにする。以下、この原理を図1を参照して説明する。

【0010】図1(a)は上下1対の磁性薄膜21の相互間に渦巻き状コイルに形成された薄膜導体22を挟み込んだ構造の磁気誘導素子20の断面を示し、この磁気誘導素子20は外形サイズないし直径が D の円形のインダクタとする。薄膜導体22の金属の電気抵抗率を ρ 、膜厚を t_C とし、それから形成された渦巻き状コイルの巻数を n 、外径を D_0 、内径を D_i 、各ターンの幅を d 、ターン間の隙間を s とすると、コイルの直流電気抵抗 R は、

(1)

【0011】一方、磁気回路の方では磁性薄膜21の透磁率を μ 、膜厚を t_M 、相互間隔を g とすると、その特性長 λ は前述のように例えば、

(2)

スLは、

(3)

ルのターン幅 d で決まる係数であって、

(4)

イズ D を特性長 λ より小に、例えば10分の1以下に設定したとすると、 $\sin(D / \lambda) = D / \lambda$ がほぼ成立するから $K = \lambda^2 / d D$ となり、 λ より D を小さくすればするほど K を大きくとれることがわかる。さらに、このように外径サイズ D を特性長 λ より充分小さく設定した場合は $K \cdot F_L = F_R$ の関係がほぼ成立するので、磁気誘導素子20のQ値は角周波数を ω 、周波数を f として(1)式と(3)式から次式で表される。

【0013】

(5)

実際に半導体チップ上に作り込む磁気誘導素子20では(2)式中の磁性薄膜21の膜厚 t_M や相互間隔 g は数十 μm 以下なので透磁率 μ を 10^4 とすると特性長 λ は1mm程度となり、従って(5)式は外径サイズ D が100 μm 程度以下で成立するが実用的には1mm以下でもほぼ成立する。(5)式からわかるように Q 値はコイルの巻数 n やターン幅 d に実質上依存せず、外径サイズ D を特性長 λ より小さいめに設定する本発明の場合は、磁性薄膜21に透磁率 μ の高い材料を用いて膜厚 t_M を厚くし、かつ薄膜導体22に電気抵抗率 ρ の低い材料を用いて膜厚 t_C を厚くすることによって Q 値を向上することができる。

【0014】しかし、 Q 値が高くて外径サイズ D が小さいと充分なインダクタンス値 L やコイルの電流容量が得られ難いので、本発明では図1(b)に示すように磁気誘導素子20を複数個の単位素子30に分割して半導体チップ10の上に作り込み、必要に応じて直列、並列ないしは直並列に相互接続する。なお、この図1(b)のように各単位素子30の外形を配列上の面積効率のよい方形にしても、容易に了解されるように図1(a)の円形の場合と同様に本発明の利点が得られる。

【0015】ところで、図1(a)の薄膜導体22のコイルではそのターン間隔 s をできるだけ小さくして巻きピッチ p をターン幅 d に近づけるのが有利になる。例えば、簡単化のため $p=d$ とし、かつコイルの内径 D_i を0とすると、(1)式中の F_R は前述のように $F_R = n \cdot D_m / d$ で、コイルの平均直径 D_m は $D_m = n d$ であるから、 $F_R = n^2$ となって抵抗 R が n^2 に比例する。一方、インダクタンス L も周知のようにコイルの巻数 n の二乗である n^2 に本質的に比例するから、結局のところ Q 値はコイルの巻数 n にほとんど依存しなくなって例えば(5)式で表せるような高い Q 値を実現できる。このように、間隙 s は極力狭く、できれば薄膜導体22の膜厚 t_C の10分の1以下にするのが望ましいが、通例のように薄膜導体22をエッチングしてこれを明けると安定にエッチング可能なアスペクト比 t_C / s は1が限界なので間隙 s が膜厚 t_C と同程度以上になってしまう。

【0016】本発明の磁気誘導素子の製造方法はこの点を解決するもので、前項中の記載のように薄膜導体と上下1対の磁性薄膜を備える磁気誘導素子を製造するに際し、まず下層側磁性薄膜を下層側絶縁膜で覆った後に、下層側絶縁膜の上にターン間絶縁膜を付けてこれに低いアスペクト比でエッチングを施すことによりコイルのターン間の狭い隙間 s に対応するパターンに形成しておき、次に下層側絶縁膜とターン間絶縁膜の上にコイル用の薄膜導体をターン間絶縁膜と同程度ないしそれ以下の膜厚で成膜した上で、簡単なエッチングを施してターン間絶縁膜の上から薄膜導体をいわゆるリフトオフ方式で除去するようにしたものである。以降は、薄膜導体とターン間絶縁膜を上層側絶縁膜で被覆してその上に上層側磁性薄膜を配設することでよい。この本発明方法によれば

隙間 s を薄膜導体の膜厚 t_C より狭くでき、ターン間絶縁膜をリアクティブイオンエッチング法によりエッチングすればその10分の1以下に狭めることができる。

【0017】

【実施例】以下、図2と図3を参照して本発明の磁気誘導素子の実施例を説明し、図4を参照してその製造方法の実施例を説明する。図2は半導体チップ10の上に前述の磁気誘導素子20を構成する単位素子30が2個並べて作り込まれた状態を断面図で示すものである。半導体チップ10は、図示のように例えばp形の半導体基体11を絶縁膜12で覆い、その上側にアルミの配線膜13を単位素子30を互いにこの例では直列接続するパターンで配設しかつ絶縁膜12の要所に明けられた窓部内で半導体基体11の表面に拡散されたn形層11aと接続し、さらにその上を保護膜15で被覆してなり、薄膜積層構造の単位素子30はこの保護膜15上に作り込まれる。なお、図の例では保護膜15の下側に配線膜13による段差を解消するために平坦化膜14が設けられている。

【0018】各単位素子30は下層側磁性薄膜31と上層側磁性薄膜36との相互間に渦巻き状のコイルに形成された薄膜導体33を絶縁膜32と35を介し挟み込んでなり、コイルのターン間のごく狭い隙間は図4で説明する方法で明けられ、コイルの内径および外径側の端部は下層側磁性薄膜31の窓ないし切り欠きと保護膜15の窓とを介して配線膜13と接続される。また、上層側磁性薄膜36を覆うように窒化シリコン等の保護膜37が被覆される。なお、上層側絶縁膜35の下側に下層側磁性薄膜31と薄膜導体33による段差を埋めるため平坦化膜34が要所に設けられている。

【0019】1対の磁性薄膜31と36は例えば透磁率 μ が8000程度の軟磁性の78パーマロイをスパッタ法により非晶質状態で成膜したもので、例えばその膜厚 t_M が9 μm 、相互間隔 g が6 μm とされる。この場合の磁気回路の前述の特性長 λ は220 μm である。また、薄膜導体33には電気抵抗率 ρ が $3 \times 10^{-8} \Omega m$ の銅を用い、例えばその膜厚 t_C は3 μm とされる。この実施例では各単位素子30の外径サイズ D は特性長 λ の10分の1の22 μm に設定され、これに応じコイルの外径 D_o は20 μm 、内径 D_i は2 μm 、巻数 n は3、巻きピッチ p は3 μm 、隙間 s は0.8 μm にそれぞれ設定される。このような設定の単位素子30を半導体チップ10上に図1(b)のように並べて作り込んだ後に5MHzの周波数 f で測定したところ、各単位素子30あたりの直流抵抗 R は0.19 Ω 、インダクタンス L は850nH、 Q 値は140であり、前述の諸式から予測される値との大体の一致が得られた。

【0020】図3にこの単位素子30に対してインダクタンス L と Q 値を1~10MHzの周波数範囲内で測定した結果を示す。図からわかるように、インダクタンス L は10MHz付近で若干低下の傾向はあるがほぼ一定値であり、 Q 値は周波数 f が高くなるにつれて次第に飽和する傾向

はあるが5 MHz以上で100以上の充分高い値を示す。なお、この単位素子30は5 MHzのQ値を主眼にして設計されたものである。このQ値の周波数 f に対する傾斜は前述の(5)式からわかるように磁性薄膜31と36の透磁率 μ と薄膜導体33の電気抵抗率 ρ を一定とすると両者の膜厚の積 $t_M t_C$ に依存し、この積の大なものは低周波用に小なものは高周波用に適する。これから本発明の磁気誘導素子は高周波用にとくに有利なことがわかる。

【0021】ついで、図4を参照して本発明の磁気誘導素子の製造方法の要点を図2の単位素子30用に薄膜導体33のコイルを形成する過程を中心に説明する。単位素子30は半導体チップ10がもちろんまだウエハの状態にある間に作り込まれ、図4(a)のウエハ40には図2の下層側磁性薄膜31が配設されていて図示の下層側絶縁膜32で覆われているものとする。この下層側絶縁膜32には酸化シリコンとは別な例えば薄い窒化シリコンを用いるのがよい。この図4(a)の工程ではウエハ40の全面に酸化シリコン膜を成膜しフォトエッチングを施すことによりターン間絶縁35aを前述の $0.8\mu\text{m}$ の隙間 s と同じ幅に形成する。

【0022】このターン間絶縁35a用の酸化シリコン膜はウエハ40内にアルミの配線膜13がすでに作り込まれているので350℃程度の低温でシランと酸素との混合ガスのふん囲気内の減圧CVD法により成膜するのがよい。また、本発明方法ではその膜厚は薄膜導体33と同程度が若干厚めにされ、薄膜導体33の膜厚 t_C が $3\mu\text{m}$ のとき例えば $4\mu\text{m}$ とされる。この酸化シリコン膜のエッチングはもちろんフォトリソ膜をマスクとして施すが、ターン間絶縁35aの側面を図のように垂直にして狭い幅 s をねらいどおり正確にするためリアクティブイオンエッチング法を利用するのが有利である。この際、異方性エッチング条件とするためエッチングガスには C_2H_6 と CHF_3 の混合ガスを用い、そのふん囲気圧力は例えば150Pa程度とするのがよい。本発明方法では、このターン間絶縁膜35aを狭い幅 s で形成するためのエッチングを図からわかるように1ないしそれに近いアスペクト比で容易かつ正確に行なうことができる。

【0023】次の図4(b)は薄膜導体33の成膜工程であり、ウエハ40の全面上にこの実施例では銅をスパッタ法等によって $3\mu\text{m}$ の膜厚 t_C に成膜する。この際、ターン間絶縁35aの上側にも図では33aで示すように薄膜導体が当然被着するが、金属の段差部の被覆性が悪いいためそのターン間絶縁35aの上端部分と重なる付け根付近では膜厚が非常に薄くなる。続く図4(c)の工程では簡単なエッチングによってターン間絶縁35aの上の薄膜導体部分33aを除去する。このエッチングは例えば5%のふっ酸液の望ましくは超音波浴中にウエハ40をごく短時間浸漬するだけでよく、これにより上述の薄膜導体部分33aの薄肉部からエッチング液が侵入してターン間絶縁35aの上端部分の酸化シリコンが溶解するので、その上の

薄膜導体部分33aが剥離により選択的に除去されて図示の状態になる。

【0024】さらに図4(d)の工程では、ウエハ40の水洗によりエッチング液を完全に除去した後、酸化シリコン膜を前述と同様に低温のCVD法によりウエハ40の全面に成膜して図示のようにターン間絶縁35aと連続した上層側絶縁膜35とする。これ以降は図2のように上層側磁性薄膜36を配設しかつ窒化シリコン等の保護膜37によりそれを被覆して単位素子30ないしは磁気誘導素子20の完成状態とすることによい。以上説明した磁気誘導素子の製造方法によれば、薄膜導体33から形成するコイルのターン間の隙間 s を膜厚 t_C より充分狭く形成して、その抵抗 R の値を低減して電流容量を増加させかつそのQ値を高めることができる。

【0025】なお、以上の実施例では磁気誘導素子が単一のコイルをもつインダクタとして説明したが、薄膜導体から形成するコイルの数と形状を変えるだけで変圧器にも本発明を適用できる。また、コイルについても実施例の渦巻き状に限らず、薄膜導体から形成可能であればつづら折れ状等の種々な形状を採用できる。さらに、実施例に示された具体的な寸法、形状、構造、配置等はあくまで例示であって、本発明の要旨内で適宜な変更ないし変形が可能である。

【0026】

【発明の効果】本発明の磁気誘導素子では、コイルに形成された薄膜導体を1対の磁性薄膜の間に挟み込んだ薄膜積層構造の磁気誘導素子を複数の単位素子に分割し、各単位素子の外形サイズを磁気回路上の特性長より小さいめに設定し、単位素子を相互接続して磁気誘導素子とすることによって次の効果が得られる。

(a) 磁気誘導素子のQ値の磁気回路の特性長との関連に着目して特性長よりそれぞれ外形サイズが小さいめの複数の単位素子から磁気誘導素子を構成することにより1 MHz以上の高周波領域でも従来より高いQ値を達成できる。

(b) 磁気誘導素子を構成する単位素子が従来より格段に小形化されるので、集積回路の製造技術を利用して半導体チップ上に容易に作り込むことができ、これにより能動素子と受動素子を一体化した1チップ形のチョッパ装置やスイッチング電源等の極小形の電子装置の開発が可能になる。

(c) 複数の単位素子の磁気誘導素子への接続の組み合わせを変えることにより用途に合わせて種々なリアクタンス値の磁気誘導素子を構成できる。

(d) 薄膜導体と磁性薄膜の膜厚の積により所望のQ値を持たせる周波数を容易に選択できるので種々な周波数特性の磁気誘導素子を提供でき、さらに適用可能な周波数を従来より高周波領域に延ばして一層の小形化を達成できる。

【0027】さらに、本発明の磁気誘導素子の製造方法

では、下層側磁性薄膜を覆う下層側絶縁膜の上にターン間絶縁膜を成膜してコイルのターン間の隙間用のパターンにエッチングし、次にその上に薄膜導体をターン間絶縁と同程度ないしそれ以下の膜厚で成膜した上で、ごく簡単なエッチングによってそのターン間絶縁上部分を選択的に除去することにより、ターン間絶縁を小さなアスペクト比のエッチングにより薄膜導体の膜厚の数分の1以下のごく狭い幅に形成して、磁気誘導素子のQ値を上しかつその電流量を増加させることができる。

【図面の簡単な説明】

【図1】本発明による磁気誘導素子の原理を示し、同図(a)はその断面図、同図(b)は半導体チップ上に作り込まれたその一部の上面図である。

【図2】本発明の磁気誘導素子の実施例をその単位素子を半導体チップ上に作り込んだ状態で示す一部拡大断面図である。

【図3】本発明の磁気誘導素子のインダクタンスとQ値の周波数依存性を示す特性線図である。

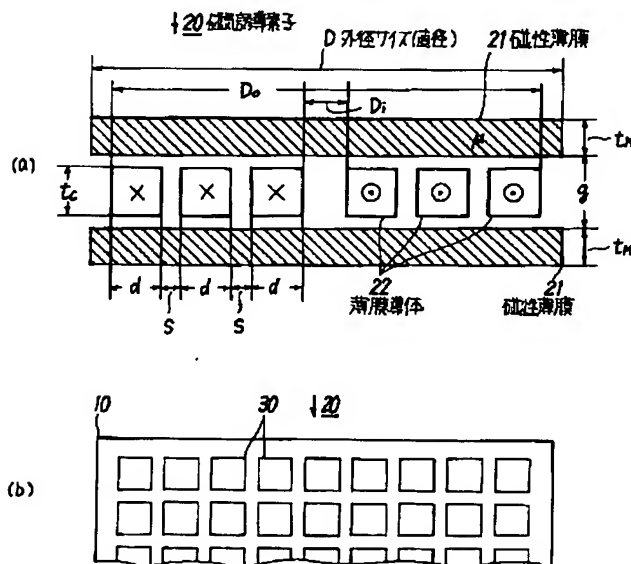
【図4】本発明による磁気誘導素子の製造方法の実施例を主な工程ごとの状態で示し、同図(a)はコイル用ターン間絶縁の形成工程、同図(b)は薄膜導体の成膜工程、

同図(c)はそのエッチング工程、同図(d)は上層側絶縁膜の成膜工程後の状態をそれぞれ示すウエハの一部拡大断面図である。

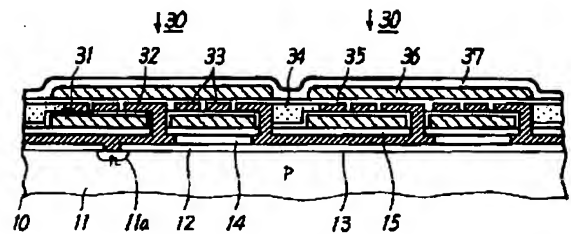
【符号の説明】

- 10 磁気誘導素子が作り込まれる半導体チップ
- 20 磁気誘導素子
- 21 磁性薄膜
- 22 薄膜導体
- 30 磁気誘導素子を構成する単位素子
- 31 下層側磁性薄膜
- 32 下層側絶縁膜
- 33 薄膜導体
- 35 上層側絶縁膜
- 35 a ターン間絶縁
- 36 上層側磁性薄膜
- 40 半導体チップと磁気誘導素子が作り込まれるウエハ
- D 磁気誘導素子ないしは単位素子の外径サイズないしは直径
- s コイルのターン間の隙間ないしはターン間絶縁の幅

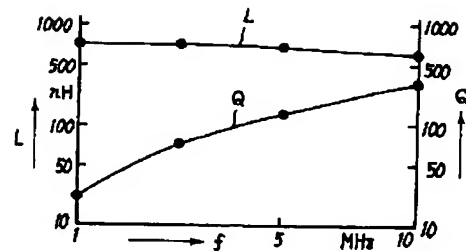
【図1】



【図2】



【図3】



【図4】

